

面向航天应用的 SoC 设计

方青文^{1,2}, 安军社¹, 周 莉^{1,2}, 蔡 飞³

(1 中国科学院 国家空间科学中心, 北京 100190; 2 中国科学院 研究生院, 北京 100190;

3 中国科学院 计算技术研究所, 北京 100190)

摘 要: 在深入研究航天器电子系统功能需求的基础上, 设计了一种支持多种航天器电子系统功能的 SoC. 该芯片自带微处理器, 支持多种主设备接口, 同时片内集成了多种外设接口的数字逻辑, 从而实现了航天测控功能的单片集成.

关键词: SoC; 1553B 总线; 简易终端; 外设接口

中图分类号: TP302

文献标识码: A

文章编号: 1000-7180(2013)05-0010-04

The Design of SoC Oriented Space Application

FANG Qing-wen^{1,2}, AN Jun-she¹, ZHOU Li^{1,2}, CAI Fei³

(1 National Space Science Center, Chinese Academy of Sciences, Beijing 100190, China;

2 University of Graduate, Chinese Academy of Sciences, Beijing 100190, China;

3 Institute of Computing Technology, Chinese Academy of Sciences, Beijing 100190, China)

Abstract: Based on depth study of functional requirements of the spacecraft electronic systems, a SoC is designed for space application, which supports a variety of functions in spacecraft electronic systems. there is a microprocessor in the chip, and it support several host interface, integrated digital logic of a variety of peripheral interfaces. Thereby it achieve monolithic integration of the spaceflight TT & C functions.

Key words: SoC; 1553B bus; simple remote terminal; peripheral interfaces

1 引言

航天器电子系统以计算机为核心, 并配有必要的接口. 大部分航天器电子系统必须具有的功能接口包括: 姿态与轨道控制、热控、能源管理、星务管理(包括遥测和遥控)、载荷管理等. 由于航天器电子系统追求小体积、轻重量和低功耗^[1], 这些接口的控制电路目前大量使用 FPGA 实现.

MIL-STD-1553B 总线是一种集中控制式、时分、指令/响应型多路串行数据总线标准, 它具有确定的传输延时、可靠的传输能力、容错能力强等特点, 实时系统广泛采用 1553B 总线实现各子系统之间的信息交换, 其性能的优劣直接关系到整个系统的性能、可靠性和可维修性^[2]. 由于 1553B 总线可

满足实时性、数据完整性和系统高可靠性等要求^[3], 因而在航天领域的电子系统互联中得到广泛应用.

本文针对包括 1553B 总线接口的航天器电子系统接口应用, 采用 SoC 技术, 设计了一种具有 1553B 总线通信接口和其他外围接口逻辑的芯片, 可取代抗辐照 FPGA 应用于航天器电子系统.

2 芯片架构

航天测控 SoC 是一种集成了裁剪版 MIPS 处理器、1553B 协议处理器、CAN 总线接口, 主设备接口支持 PCI、ISA、1553B 简易终端, 外围接口支持 AD 采集接口、OC 指令脉冲输出接口、PCM 遥测遥控接口、脉冲计数器输入接口、PWM 输出接口、UART 串口的片上系统. 1553B 协议处理器可实现

收稿日期: 2012-07-21; 修回日期: 2012-08-25

基金项目: 国家重大科技专项(Y16501AE6S)

为了实现 RT 的功能,将逻辑部分划分为编码模块、解码模块、收发器控制模块、通道选择模块、RT 协议状态机模块;为了实现和 AXI 总线的读写通讯,整个设计中还包括 AXI 写传输和读传输接口模块. 1553B 总线网络拓扑结构为总线式结构,采用双冗余的 1553B 总线进行连接,使系统可靠性高,同时便于对总线进行管理监测和差错控制,因此简易终端内部分别有两组编解码模块,分别处理 A、B 通道的数据,这两条通道相互进行热备份.

由于 1553B 总线的位传输速率为 1Mbps,传输一个字大约需要 20us,而 AXI 总线的读写时钟频率为 33MHz. 为了实现速度的匹配,在 AXI 总线读写模块和协议状态机之间设置两块 32x16bits 的双口 RAM 作数据缓冲用. 简易终端接收消息对 SoC 内部寄存器写传输的时候,先将整条消息的各个字依次写到 Dpram1 中,接收完一条消息后,通过 AXI 总线将消息中的字写到对应的寄存器或数据缓冲区中. 简易终端发送消息读访问 SoC 内部寄存器和数据区时,先给 AXI 总线读传输发送模块一个发送请求信号,AXI 总线根据子地址号和数据个数读取相应的 SoC 内部寄存器或数据区,并依次写到 Dpram2 的各个位置,等待协议状态机的慢速读取发送.

5 APB 总线上从设备接口说明

5.1 AD 采集控制接口

AD 采集控制逻辑支持 64 路模拟量采集通道,分辨率为 16 位. 通过控制多路器选择其中一条通道,再送到 AD 的模拟量输入端,总共需要 6 根多路器控制信号线(地址线). AD 的控制信号有片选 CS、启动 START、输出使能 OE 信号各一根. AD 采集控制逻辑的片选、启动、输出使能信号都是一个可编程脉冲发生器;多路器的切换控制则是一个 6 位计数器的输出;数据存储区是一个 64x16bits 的块 RAM.

AD 采集控制逻辑框图如图 3 所示. 其中 CPU 控制信号包括 AD 采集频率设置信号、整个模块使能信号 ENABLE、通道控制信号;此外,CS、START、OE 为 AD 提供控制信号,D[0:15]为 AD 采集数据输出,ADDR[0:5]为多路开关的控制信号.

5.2 OC 门指令脉冲输出接口

OC 门控制逻辑完成指令的译码,输出一定宽度的脉冲信号. 由于实际任务中,采用不同的指令编

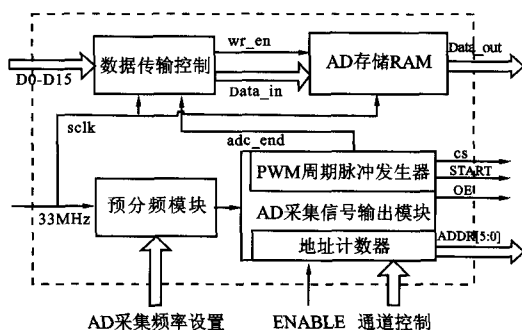


图 3 AD 采集控制逻辑框图

码,需要将指令编码预先写入指令编码存储器. 指令译码过程为,对获取的指令,和指令编码存储器的码字进行比较,如果有一个码字和该码字相同,则在存储器地址对应的输出脚上,输出一个正脉冲或者负脉冲. 指令输出缺省为负脉冲.

系统总共有 64 路 OC 门输出端口,为了与 1553B 一条消息 32 个字的特点兼容,OC 门控制逻辑分为两个部分,每个部分控制 32 路输出. 由于采用 13 比特的指令编码,指令编码存储器的大小至少为 $64 \times 13\text{bits}$,实际分配物理空间时指令编码存储器位于 32 位区,每个存储单元中只有低 13 位有效.

OC 门控制的逻辑框图和指令格式如图 4 所示.

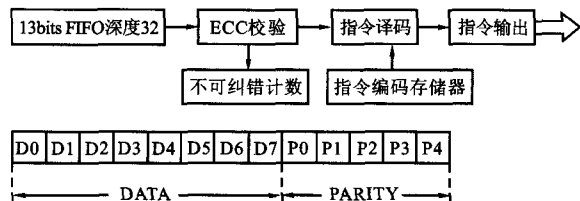


图 4 OC 门控制逻辑框图和指令格式

5.3 PCM 测控接口

PCM 测控接口包括 PCM 输入接口和 PCM 输出接口. 其中 PCM 输入接口完成串行数据的串并转换,缓冲输入数据,通过主设备将数据发出. PCM 输出接口完成数据的缓冲、并串转换,以串行数据的方式发出. 片上 PCM 测控接口包括 1 路 PCM 遥测、2 路 PCM 遥控,每一路除了数据、时钟信号外,还需一路数据选通信号. 单通道 PCM 输入和输出的实现框图如图 5 所示.

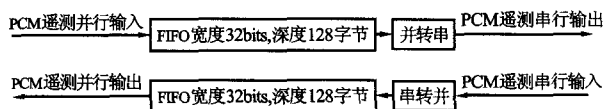


图 5 PCM 遥测遥控实现框图

5.4 UART 串口

本设计片内集成了 8 个 UART 核,通过 APB

总线与总线桥通信. UART 控制器提供与外部设备串行通信的功能,例如与外部计算机以 RS232 为标准使用串行线路进行通信.

UART 控制器有发送和接收模块、中断仲裁模块和访问寄存器模块,控制框图如图 6 所示.

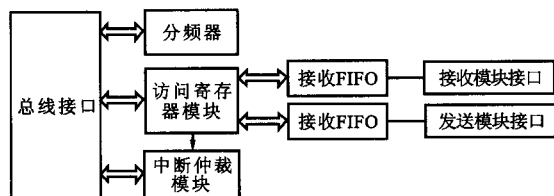


图6 UART控制器结构

5.5 其他接口

PWM 接口实际是一个周期性脉冲发生器,脉冲的周期从 10 毫秒到 1 分钟可设置,占空比从 0 到 100%可设置.

可编程脉冲计数器的计数周期从 1 毫秒到 1 分钟可设置. 上升沿和下降沿分别计数. 计数器只缓冲上一个计数周期的数据. 每个计数周期结束时,将当前数据放入缓冲区.

片上支持 16 个 GPIO 端口,每个 GPIO 端口可通过软件分别配置成输入或输出. 要求 GPIO 可以独立控制每个 GPIO 的方向,可以独立设置每个 GPIO 的输出状态;所有 GPIO 口在复位后默认为输入状态.

6 验证分析

本测控 SoC 的所有功能模块均采用 Verilog HDL 进行 RTL 代码编写,仿真验证环境为 Synopsys VCS 和 Debussy. 仿真时首先需要进行单个子模块的功能验证,包括各个新设计的功能模块和现有 IP,以保证各模块可完成预期的功能. 然后进行进一步的系统级仿真验证,包括 PCI 总线对各个模块的读写控制、ISA 总线对各个模块的读写控制、1553B 简易终端对各个低速模块的访问、MIPS 核在芯片内部的处理等. 目前芯片已经完成了时序仿真和物理验证阶段,所有功能仿真均达到预期目标,系统时序正常,满足设计需求,该芯片的下一步工作则是交付流片.

7 结束语

本文介绍了航天测控 SoC 的系统结构、实现方法,重点论述了 1553B 总线接口的设计方案,以及片上外围接口的设计. 通过对航天器电子系统的接口数字部分进行单片集成,既可以回避元器件进口带来的风险,也能够提高电子系统的可靠性. 该 SoC 在我国航天电子技术上有着广阔的应用前景.

参考文献:

- [1] 周海洋,于立新,彭和平,等. 面向航天的 SoC 技术及其应用[J]. 航天标准化, 2011(1):9.
- [2] 李鹏,樊蓉,李键. 1553B 总线接口 SoC 设计相关问题研究[J]. 航空计算技术, 2008, 38(5): 124-126.
- [3] 毕经存,张璟,杨卫军,等. 1553B 总线 NCS 的 CPN 建模[J]. 微电子学与计算机, 2011, 28(1): 31-33.
- [4] 郭炜,魏继增,郭笋,等. SoC 设计方法与实现[M]. 2 版,北京:电子工业出版社, 2011: 40-41.
- [5] 蒋周良,权进国,林孝康. AMBA 总线新一代标准 AXI 分析和应用[J]. 微计算机信息, 2006, 22(10-2): 275-277.
- [6] 蔡一茂,赵元富,兰立东. 基于国产 SoPC 平台的外部总线的设计与实现[J]. 微电子学与计算机, 2012, 29(5): 90-94.

作者简介:



方青文 (1989—), 硕士研究生. 研究方向为航天电子系统设计.

安军社 (1969—), 研究员, 博士生导师. 研究方向为星载计算平台、星载数据网络技术.

周莉女, (1986—), 博士研究生. 研究方向为航天电子系统设计、星载数据网络技术.

蔡飞 (1979—), 博士. 研究方向为微处理器设计和计算机体系结构.